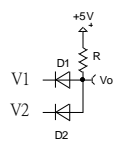
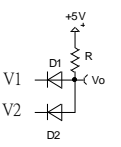


數位邏輯

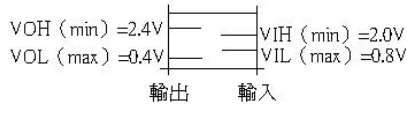
第一章基本概論

- 1.類比 (Analog)：表示數量是”連續變化”，EX：水銀溫度計。
- 2.數位 (Digital)：表示數量是”不連續變化”，EX：數字溫度計。
- 3.類比數位轉換器 ADC (Analog to Digital Converter)：將類比信號轉換為數位信號。
- 4.數位類比轉換器 DAC (Digital to Analog Converter)：將數位信號轉換為類比信號。
- 5.正邏輯：較高壓位準的信號，以邏輯”H”或”1”代表；而較低壓位準的信號，以邏輯”L”或”0”代表。
- 6.負邏輯：較高壓位準的信號，以邏輯”L”或”0”代表；而較低壓位準的信號，以邏輯”H”或”1”代表。

正邏輯說明				負邏輯說明				正邏輯↔負邏輯
	V1	V2	Vo		V1	V2	Vo	AND Gate ↔ OR Gate NAND Gate ↔ NOR Gate XNOR Gate ↔ XOR Gate
	0V (L)	0V (L)	0V (L)		0V (H)	0V (H)	0V (H)	
	0V (L)	5V (H)	0V (L)		0V (H)	5V (L)	0V (H)	
	5V (H)	0V (L)	0V (L)		0V (H)	0V (H)	0V (H)	
	5V (H)	5V (H)	5V (H)		5V (L)	5V (L)	5V (L)	

7.雜訊邊限 NM (Noise Margin)：邏輯閘輸出不改變情況下，輸入端所能容忍之雜訊干擾程度。

8.扇出數 (Fan Out)：邏輯閘輸出端所能推動相同邏輯閘之個數。

典型 TTL 特性		雜訊邊限	扇出數
$V_{OH}(\min) = 2.4V$ $V_{OL}(\max) = 0.4V$ $V_{IH}(\min) = 2.0V$ $V_{IL}(\max) = 0.8V$	$I_{OH}(\max) = 400\mu A$ $I_{OL}(\max) = 16mA$ $I_{IH}(\max) = 40\mu A$ $I_{IL}(\max) = 1.6mA$	 $N(1) = V_{OH}(\min) - V_{IH}(\min) = 2.4 - 2.0 = 0.4$ $N(0) = V_{IL}(\max) - V_{OL}(\max) = 0.8 - 0.4 = 0.4$ 取較小的為雜訊邊限 NM	$N(0) \equiv \frac{I_{OL}}{I_{IL}} \equiv \frac{16mA}{1.6mA} \equiv 10$ $N(1) \equiv \frac{I_{OH}}{I_{IH}} \equiv \frac{400\mu A}{40\mu A} \equiv 10$ 取較小的為扇出數

9.電晶體－電晶體邏輯閘 (TTL)：

總類		比較
74xx	standard	工作速度：
74Lxx	Low power	$74ASxx > 74Sxx > 74ALSxx > 74Hxx > 74xx \cdot 74LSxx > 74Lxx$
74Hxx	High speed	消耗功率：
74Sxx	Schottky	$74Hxx > 74Sxx > 74xx > 74ASxx > 74LSxx > 74ALSxx > 74Lxx$
74LSxx	Low power Schottky	$74Cxx$ (CMOS) $74HCxx$ (High speed CMOS)
74ASxx	Advanced Schottky	$74HCTxx$ (High speed CMOS 與 TTL 相容) $74ACxx$ (Advanced CMOS)
74ALSxx	Advanced Low power Schottky	$74ACTxx$ (Advanced CMOS 與 TTL 相容)

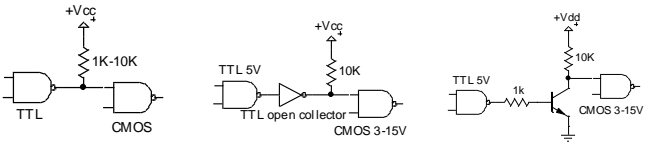
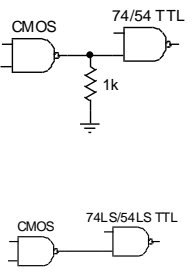
10.TTL 輸出有三種型式：開集極輸出 (需外加提升電阻，可實現 Wired-AND)、圖騰柱輸出、三態輸出

11.TTL：空接的輸入端可視為邏輯 1。NAND Gate 不用的接腳經過 $1k\Omega$ 接至 Vcc，電阻作為限流用，防止電源產生電壓脈衝時，會損壞內部電晶體，NOR Gate 不用的接腳經過 470Ω 以下電阻接至 Gnd。MOS：輸入端空接會造成輸出不定現象。

12.IC Layout 通常會在 Vcc 及 Gnd 放置一小電容，防止電源產生電壓脈衝時，會損壞內部電路，現今也會放置大電容，藉以提供在高速運作時的電源供給，降低瞬間電流密度。

13.MSB (Most Significant Bit)：最高 (有效) 位元、LSB (Least Significant Bit)：最低 (有效) 位元【用於二進制】。MSD (Most Significant Digital)：最高 (有效) 位元、LSD (Least Significant Digital) 最低 (有效) 位元【用於其它進制】

14. 電晶體－電晶體邏輯閘（TTL）與互補式金氧半場效電晶體（CMOS）比較：

電晶體－電晶體邏輯閘（TTL）		互補式金氧半場效電晶體（CMOS）
軍用規格（54 系列） 工作電壓：5±0.5V（±10%） 工作溫度：-55°C~125°C	商用規格（74 系列） 工作電壓：5±0.25V（±5%） 工作溫度：0°C~75°C	4000 系列、4500 系列、54C 系列、74C 系列 工作電壓：3~15V（±10%） 邏輯 1：輸入電壓 V _{DD} 的 70%，輸出約 V _{DD} 邏輯 0：輸入電壓 V _{DD} 的 30%，輸出約 0V
TTL 推動 CMOS 		優點： 1. 消耗功率極小 2. 扇出能力大 3. 雜訊免除力大，約電源電壓 30% 4. 工作電壓 3 至 15 伏 CMOS 推動 TTL 

15. 數位積體電路的種類

雙極性	飽和型	RTL	DCTL（直接耦合電晶體邏輯）
			RTL（電阻電晶體邏輯）
			RCTL（電阻電容電晶體邏輯）
	非飽和型	DTL	DTL（二極體電晶體邏輯）
			HTL（高臨界邏輯）
			TTL（電晶體電晶體邏輯）
單極性		ECL（射極耦合邏輯）工作於線性區，【速度最快】	
		CTL（互補電晶體邏輯）	
單極性		MOS（金屬氧化物半導體）	
		CMOS（互補金屬氧化物半導體）本身為一反相器，【最省電】	

第二章數字系統

$$1. Nr \equiv a_n r^n + a_{n-1} r^{n-1} + \dots + a_3 r^3 + a_2 r^2 + a_1 r^1$$

Nr：所要表示的數字 r：基底 n：位數 a：數值，0~r-1

Ex. $(2377)_{10} = 2 \cdot 10^3 + 3 \cdot 10^2 + 7 \cdot 10^1 + 7 \cdot 10^0$

2. 最高位元 MSB（Most Significant Bit），最低位元 LSB（Least Significant Bit）：用於二進制

3. 最高位數 MSD（Most Significant Digital），最低位數 LSD（Least Significant Digital）：用於其它進制

4. 進制轉換：

EX. (1) $100110110011_{(2)} = 4663_{(8)} = 3B9_{(16)} = 953_{(10)}$ 【2ⁿ 之間轉換，直接透過二進制，n 個一組】

(2) $1011.101_{(2)} = 13.5_{(8)} = B.5_{(16)} = 11.625_{(10)}$ 【利用加權轉換至十進制】

EX. (1) $3B9_{(16)} = 953_{(10)} = 4663_{(8)} 100110110011_{(2)}$

(2) $20.125_{(10)} = 10100.001_{(2)} = 24.1_{(8)} = 14.2_{(16)}$ 【十進制整數部份連除基底，小數部份連乘基底】

(3) $4A.65_{(16)} = 1001010.01101001_{(2)} = 112.322_{(8)} = 74.376953215_{(10)}$

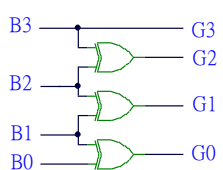
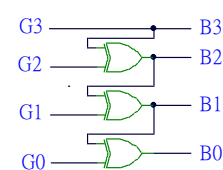
5. 在某進制中有限之小數轉換為另一進制時，可能會出現無窮小數或循環小數的情形，例如：十進制的小數，最尾數（LSD）並非 5，則不論如何連乘 2，均無法使其小數部份全為 0，此時即可能形成無窮小數或循環小數。

6.符號數字系統：

數字系統	表示範圍	以三個位元為例 (n=3)				設基底為 r 的數目 M，整數部份有 n 個位數，小數部份有 m 個位數。 當 M=0，M 的 r 補數為 0 M 的 r 補數為 $r^n - M$ M 的 r-1 補數為 $r^n - r^{-m} - M$ r 補數 = r-1 補數 + r^{-m}	
無號數	$0 \sim (2^n - 1)$	0~7	無號數	有號數	1'S		2'S
有號數	$-(2^{n-1} - 1) \sim (2^{n-1} - 1)$	-3~3	000	0	+0		+0
一的補數 (1'S)	$-(2^{n-1} - 1) \sim (2^{n-1} - 1)$	-3~3	001	1	+1		+1
二的補數 (2'S)	$-(2^{n-1}) \sim (2^{n-1} - 1)$	-4~3	010	2	+2		+2
			011	3	+3	+3	
			100	4	-0	-3	
			101	5	-1	-2	
			110	6	-2	-1	
			111	7	-3	-0	

7.溢位 (Over Flow)：兩個符號相同的數目相加後，其結果超出所能表示的數值。判斷法為 MSB 相加之進位與 MSB 前一位元相加之進位作互斥或，0 表沒有溢位，1 表示溢位發生。

EX. 0011 (+3) + 0101 (+5) = 1000 (-7) 【1 的補數表示法】

8.數碼	加權碼				非加權碼		
十進位	8-4-2-1 碼 8421	環形計數器碼 9876543210	二五碼 5043210	BCD 碼	五取二碼	加三碼	格雷碼
0	0000	0000000001	0100001	0000	00011	0011	000
1	0001	0000000010	0100010	0001	00101	0100	001
2	0010	0000000100	0100100	0010	00110	0101	011
3	0011	0000001000	0101000	0011	01001	0110	010
4	0100	0000010000	0110000	0100	01010	0111	110
5	0101	0000100000	1000001	0101	01100	1000	111
6	0110	0001000000	1000010	0110	10001	1001	101
7	0111	0010000000	1000100	0111	10010	1010	100
8	1000	0100000000	1001000	1000	10100	1011	
	Binary/Gray 		Gray/Binary 		45 互補 36 互補	相鄰兩碼 只有一個 位元不同 具反射性	

9.美國標準資訊交換碼 (American Standards Codes for Information Interchange) ASCII：7 個二進碼組成，30H~39H 代表 0~9，41H~5AH 代表 A~Z，61H~7AH 代表 a~z。

第三章布林代數

1.布林代數定理

單一律	$x \cdot x = x, x + x = x, x \cdot 1 = x, x + 0 = x, x \cdot 0 = 0, x + 1 = 1$
交換律	$x \cdot y = y \cdot x, x + y = y + x$
結合律	$x \cdot (y \cdot z) = (x \cdot y) \cdot z, x + (y + z) = (x + y) + z$
分配律	$x \cdot (y + z) = x \cdot y + x \cdot z, x + (y \cdot z) = (x + y) \cdot (x + z)$
吸收律	$x \cdot (x + y) = x, x + (x \cdot y) = x$
互補性	$\overline{\overline{x}} = x, x \cdot \overline{x} = 0, x + \overline{x} = 1$
狄摩根定理	$\overline{x + y} = \overline{x} \cdot \overline{y}, \overline{x \cdot y} = \overline{x} + \overline{y}$
對偶定理	$x \cdot 1 = x \leftrightarrow x + 0 = x, x \cdot (y + z) = (x \cdot y) + (x \cdot z) \leftrightarrow x + (y \cdot z) = (x + y) \cdot (x + z), \overline{\overline{x + y}} = \overline{\overline{x} \cdot \overline{y}} \leftrightarrow \overline{\overline{x} \cdot \overline{y}} = \overline{\overline{x}} + \overline{\overline{y}}$

第四章布林代數化簡

1.積之和 SOP(Sum Of Products)，標準積之和 SSOP(Standard Sum Of Products)：最小項 (Minterm)，用 Σ_m 表示，SOP 化成 SSOP 缺項 AND 1 ($x + \bar{x}$)，AND=1，電路型式 AND-OR Gate。SSOP 與 SPOS 為互補，妥善利用卡諾圖進行化簡及轉換。

$$\begin{aligned}
 \text{EX. } f(x, y, z) &= xz + yz + xyz \\
 &= xz(y + \bar{y}) + yz(x + \bar{x}) + xyz \\
 &= xyz + x\bar{y}z + xyz + \bar{x}yz + xyz \\
 &= xyz + x\bar{y}z + \bar{x}yz \\
 &= m_7 + m_5 + m_3 \\
 &= \Sigma_m(3,5,7)
 \end{aligned}$$

2.和之積 POS(Products Of Sum)：標準和之積 SPOS(Standard Products Of Sum)：最大項 (Maxterm)， Π_M 表示，POS 化成 SPOS 缺項 OR 0 ($x \cdot \bar{x}$)，OR=0，電路型式 OR-AND Gate。

$$\begin{aligned}
 \text{EX. } f(x, y, z) &= xz + yz + xyz \\
 &= \Pi_M(0,1,2,4,6)
 \end{aligned}$$

3.卡諾圖化簡：

AB \ CD	00	01	11	10	1. n 個變數有 2^n 個方格。 2. 相鄰兩格只有一個變數不同。 3. 相鄰 2^n 個 1 的方格可圈起來化簡。可少 n 個變數。 4. 寫出相對應之表示式。
00	$\bar{A}\bar{B}\bar{C}\bar{D}$	$\bar{A}\bar{B}\bar{C}D$	$\bar{A}\bar{B}CD$	$\bar{A}B\bar{C}\bar{D}$	
01	$\bar{A}\bar{B}C\bar{D}$	$\bar{A}\bar{B}CD$	$\bar{A}BC\bar{D}$	$\bar{A}BCD$	
11	$A\bar{B}\bar{C}\bar{D}$	$A\bar{B}\bar{C}D$	$A\bar{B}CD$	$AB\bar{C}\bar{D}$	
10	$A\bar{B}C\bar{D}$	$A\bar{B}CD$	$ABC\bar{D}$	$ABCD$	

$$\text{EX1. } f = \Sigma_m(0,2,5,7,8,10) = \Pi_M(1,3,4,6,9,11,12,13,14,15) = \bar{B}\bar{D} + \bar{A}BD = (\bar{B} + D)(\bar{A} + \bar{D})(B + \bar{D})$$

AB \ CD	00	01	11	10
00	1	0	0	1
01	0	1	1	0
11	0	0	0	0
10	1	0	0	1

$$\text{EX2. 寫出 } \bar{B}\bar{D} + \bar{A}BD \text{ 之 SSOP} = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}C\bar{D} + \bar{A}BC\bar{D} + \bar{A}BCD + A\bar{B}\bar{C}\bar{D} + A\bar{B}C\bar{D}$$

EX3. 寫出 $\bar{B}\bar{D} + \bar{A}BD$ 之 SSOP

$$(A+B+C+\bar{D})(A+B+\bar{C}+\bar{D})(A+\bar{B}+C+D)(A+\bar{B}+\bar{C}+D)(\bar{A}+\bar{B}+C+D)(\bar{A}+\bar{B}+C+\bar{D})(\bar{A}+\bar{B}+\bar{C}+\bar{D})(\bar{A}+\bar{B}+\bar{C}+D)(\bar{A}+B+C+\bar{D})(\bar{A}+B+C+D)$$

4.任意項 (Don't care term)：該項為 1 或 0 不會影響該函數的值。

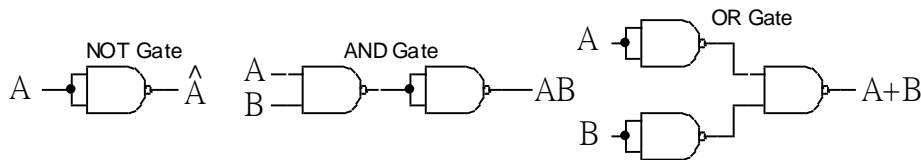
$$\text{EX4. 化簡 } F(A,B,C,D) = \Sigma(4,6,9), d(A,B,C,D) = \Sigma(10,11,12,13,14,15) \text{ 【d 表任意項】}$$

第五章基本邏輯閘

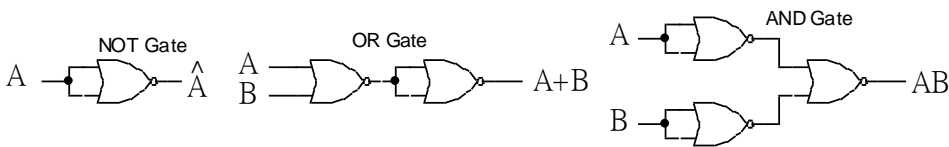
NOT (反閘)	AND (及閘)	OR (或閘)	NAND (反及閘)	NOR (反或閘)	XOR (互斥或閘)																																																																											
	<table border="1" style="font-size: small;"> <tr><th>X</th><th>Y</th><th>F</th></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	X	Y	F	0	0	0	0	1	0	1	0	0	1	1	1	<table border="1" style="font-size: small;"> <tr><th>X</th><th>Y</th><th>F</th></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	X	Y	F	0	0	0	0	1	1	1	0	1	1	1	1	<table border="1" style="font-size: small;"> <tr><th>X</th><th>Y</th><th>F</th></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	X	Y	F	0	0	1	0	1	1	1	0	1	1	1	0	<table border="1" style="font-size: small;"> <tr><th>X</th><th>Y</th><th>F</th></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	X	Y	F	0	0	1	0	1	0	1	0	0	1	1	0	<table border="1" style="font-size: small;"> <tr><th>X</th><th>Y</th><th>F</th></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	X	Y	F	0	0	0	0	1	1	1	0	1	1	1	0
X	Y	F																																																																														
0	0	0																																																																														
0	1	0																																																																														
1	0	0																																																																														
1	1	1																																																																														
X	Y	F																																																																														
0	0	0																																																																														
0	1	1																																																																														
1	0	1																																																																														
1	1	1																																																																														
X	Y	F																																																																														
0	0	1																																																																														
0	1	1																																																																														
1	0	1																																																																														
1	1	0																																																																														
X	Y	F																																																																														
0	0	1																																																																														
0	1	0																																																																														
1	0	0																																																																														
1	1	0																																																																														
X	Y	F																																																																														
0	0	0																																																																														
0	1	1																																																																														
1	0	1																																																																														
1	1	0																																																																														
$F = \overline{X}$	$F = X \cdot Y$	$F = X + Y$	$F = \overline{X \cdot Y}$	$F = \overline{X + Y}$	$F = X \oplus Y$																																																																											
CMOS 	二極體邏輯 	ECL 	CMOS 	NMOS 	XNOR (互斥反或閘) <table border="1" style="font-size: small; margin-left: auto; margin-right: auto;"> <tr><th>X</th><th>Y</th><th>F</th></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	X	Y	F	0	0	1	0	1	0	1	0	0	1	1	1																																																												
X	Y	F																																																																														
0	0	1																																																																														
0	1	0																																																																														
1	0	0																																																																														
1	1	1																																																																														

第六章狄摩根定理

1. 利用 NAND 組成基本邏輯閘



2. 利用 NOR 組成基本邏輯閘



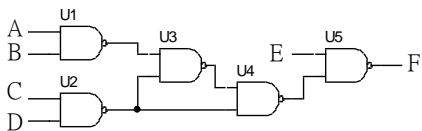
3. NAND Gate 電路分析：(以 NAND Gate 實現，以積之和表示，卡諾圖中之 1 項)

3.a 奇數層 NAND Gate 標示為 OR Gate

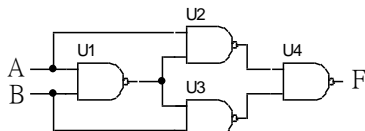
3.b 偶數層 NAND Gate 標示為 AND Gate

3.c 經過奇數層的邏輯變數反相

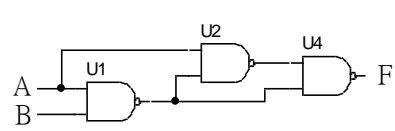
ex1.



ex2.



ex3.



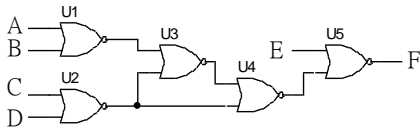
4. NOR Gate 電路分析：(以 NOR Gate 實現，以和之積表示，卡諾圖中之 0 項)

4.a 奇數層 NOR Gate 標示為 AND Gate

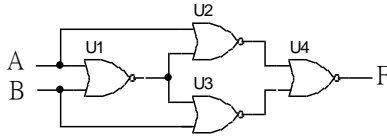
4.b 偶數層 NOR Gate 標示為 OR Gate

4.c 經過奇數層的邏輯變數反相

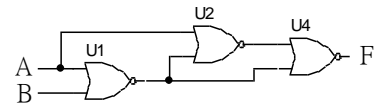
ex4.



ex5.



ex6.



第七章組合邏輯

電路名稱	真值表	卡諾圖及函數表示式	電路圖																																																																											
1.投票表決器	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>C</th> <th>F</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	A	B	C	F	0	0	0	0	0	0	1	0	0	1	0	0	0	1	1	1	1	0	0	0	1	0	1	1	1	1	0	1	1	1	1	1	<table border="1"> <thead> <tr> <th>A \ BC</th> <th>00</th> <th>01</th> <th>11</th> <th>10</th> </tr> </thead> <tbody> <tr> <th>0</th> <td></td> <td></td> <td>1</td> <td></td> </tr> <tr> <th>1</th> <td></td> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table> <p>$F = BC + AC + AB$</p>	A \ BC	00	01	11	10	0			1		1		1	1	1																									
A	B	C	F																																																																											
0	0	0	0																																																																											
0	0	1	0																																																																											
0	1	0	0																																																																											
0	1	1	1																																																																											
1	0	0	0																																																																											
1	0	1	1																																																																											
1	1	0	1																																																																											
1	1	1	1																																																																											
A \ BC	00	01	11	10																																																																										
0			1																																																																											
1		1	1	1																																																																										
2.半加器	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>S</th> <th>C</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td></tr> </tbody> </table>	A	B	S	C	0	0	0	0	0	1	1	0	1	0	1	0	1	1	0	1	<p>和 $S = \bar{A}B + A\bar{B} = A \oplus B$</p> <p>進位 $C = AB$</p>																																																								
A	B	S	C																																																																											
0	0	0	0																																																																											
0	1	1	0																																																																											
1	0	1	0																																																																											
1	1	0	1																																																																											
3.全加器	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Ci</th> <th>S</th> <th>Co</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	A	B	Ci	S	Co	0	0	0	0	0	0	0	1	1	0	0	1	0	1	0	0	1	1	0	1	1	0	0	1	0	1	0	1	0	1	1	1	0	0	1	1	1	1	1	1	<p>Sum = $A \oplus B \oplus Ci$</p> <table border="1"> <thead> <tr> <th>Ci \ AB</th> <th>00</th> <th>01</th> <th>11</th> <th>10</th> </tr> </thead> <tbody> <tr> <th>0</th> <td></td> <td>1</td> <td></td> <td>1</td> </tr> <tr> <th>1</th> <td>1</td> <td></td> <td>1</td> <td></td> </tr> </tbody> </table> <table border="1"> <thead> <tr> <th>Ci \ AB</th> <th>00</th> <th>01</th> <th>11</th> <th>10</th> </tr> </thead> <tbody> <tr> <th>0</th> <td></td> <td></td> <td>1</td> <td></td> </tr> <tr> <th>1</th> <td></td> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table> <p> Cout = $AB + ACi + BCi$</p>	Ci \ AB	00	01	11	10	0		1		1	1	1		1		Ci \ AB	00	01	11	10	0			1		1		1	1	1	
A	B	Ci	S	Co																																																																										
0	0	0	0	0																																																																										
0	0	1	1	0																																																																										
0	1	0	1	0																																																																										
0	1	1	0	1																																																																										
1	0	0	1	0																																																																										
1	0	1	0	1																																																																										
1	1	0	0	1																																																																										
1	1	1	1	1																																																																										
Ci \ AB	00	01	11	10																																																																										
0		1		1																																																																										
1	1		1																																																																											
Ci \ AB	00	01	11	10																																																																										
0			1																																																																											
1		1	1	1																																																																										

4.半減器	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>D</th> <th>B</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> </tr> </tbody> </table>	A	B	D	B	0	0	0	0	0	1	1	1	1	0	1	0	1	1	0	0	差 $D = \bar{A}B + A\bar{B} = A \oplus B$ 借位 $B = \bar{A}B$																																																								
A	B	D	B																																																																											
0	0	0	0																																																																											
0	1	1	1																																																																											
1	0	1	0																																																																											
1	1	0	0																																																																											
5.全減器	<table border="1"> <thead> <tr> <th>A</th> <th>B</th> <th>Bi</th> <th>D</th> <th>Bo</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	A	B	Bi	D	Bo	0	0	0	0	0	0	0	1	1	1	0	1	0	1	1	0	1	1	0	1	1	0	0	1	0	1	0	1	0	0	1	1	0	0	0	1	1	1	1	1	$D = A \oplus B \oplus Bi$ <table border="1"> <thead> <tr> <th>Bi \ AB</th> <th>00</th> <th>01</th> <th>11</th> <th>10</th> </tr> </thead> <tbody> <tr> <th>0</th> <td></td> <td>1</td> <td></td> <td>1</td> </tr> <tr> <th>1</th> <td>1</td> <td></td> <td>1</td> <td></td> </tr> </tbody> </table> <table border="1"> <thead> <tr> <th>Bi \ AB</th> <th>00</th> <th>01</th> <th>11</th> <th>10</th> </tr> </thead> <tbody> <tr> <th>0</th> <td></td> <td>1</td> <td></td> <td></td> </tr> <tr> <th>1</th> <td>1</td> <td>1</td> <td>1</td> <td></td> </tr> </tbody> </table> $Bo = \bar{A}B + \bar{A}Bi + BBi$	Bi \ AB	00	01	11	10	0		1		1	1	1		1		Bi \ AB	00	01	11	10	0		1			1	1	1	1		
A	B	Bi	D	Bo																																																																										
0	0	0	0	0																																																																										
0	0	1	1	1																																																																										
0	1	0	1	1																																																																										
0	1	1	0	1																																																																										
1	0	0	1	0																																																																										
1	0	1	0	0																																																																										
1	1	0	0	0																																																																										
1	1	1	1	1																																																																										
Bi \ AB	00	01	11	10																																																																										
0		1		1																																																																										
1	1		1																																																																											
Bi \ AB	00	01	11	10																																																																										
0		1																																																																												
1	1	1	1																																																																											
6.編碼器 (4x2)	<table border="1"> <thead> <tr> <th>m1</th> <th>m2</th> <th>m3</th> <th>m4</th> <th>n1</th> <th>n2</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	m1	m2	m3	m4	n1	n2	0	0	0	1	0	0	0	0	1	0	0	1	0	1	0	0	1	0	1	0	0	0	1	1	$n1 = m2 + m4$ $n2 = m3 + m4$																																														
m1	m2	m3	m4	n1	n2																																																																									
0	0	0	1	0	0																																																																									
0	0	1	0	0	1																																																																									
0	1	0	0	1	0																																																																									
1	0	0	0	1	1																																																																									
7.解碼器 (2x4)	<table border="1"> <thead> <tr> <th>n1</th> <th>n2</th> <th>m4</th> <th>m3</th> <th>m2</th> <th>m1</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> </tr> </tbody> </table>	n1	n2	m4	m3	m2	m1	0	0	0	0	0	1	0	1	0	0	1	0	1	0	0	1	0	0	1	1	1	0	0	0	$m1 = \bar{n1} \cdot \bar{n2}$ $m2 = \bar{n1} \cdot n2$ $m3 = n1 \cdot \bar{n2}$ $m4 = n1 \cdot n2$																																														
n1	n2	m4	m3	m2	m1																																																																									
0	0	0	0	0	1																																																																									
0	1	0	0	1	0																																																																									
1	0	0	1	0	0																																																																									
1	1	1	0	0	0																																																																									
8.多工器 (4x1)	<table border="1"> <thead> <tr> <th>S2</th> <th>S1</th> <th>F</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>M1</td> </tr> <tr> <td>0</td> <td>1</td> <td>M2</td> </tr> <tr> <td>1</td> <td>0</td> <td>M3</td> </tr> <tr> <td>1</td> <td>1</td> <td>M4</td> </tr> </tbody> </table>	S2	S1	F	0	0	M1	0	1	M2	1	0	M3	1	1	M4	$F = \bar{S2}\bar{S1}M1 + \bar{S2}S1M2 + S2\bar{S1}M3 + S2S1M4$																																																													
S2	S1	F																																																																												
0	0	M1																																																																												
0	1	M2																																																																												
1	0	M3																																																																												
1	1	M4																																																																												
9.解多工器 (1x4)	<table border="1"> <thead> <tr> <th>I_N</th> <th>x</th> <th>x</th> <th>x</th> <th>x</th> </tr> </thead> <tbody> <tr> <td>S1</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>S0</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>M3</td> <td>0</td> <td>0</td> <td>0</td> <td>I_N</td> </tr> <tr> <td>M2</td> <td>0</td> <td>0</td> <td>I_N</td> <td>0</td> </tr> <tr> <td>M1</td> <td>0</td> <td>I_N</td> <td>0</td> <td>0</td> </tr> <tr> <td>M0</td> <td>I_N</td> <td>0</td> <td>0</td> <td>0</td> </tr> </tbody> </table>	I_N	x	x	x	x	S1	0	0	1	1	S0	0	1	0	1	M3	0	0	0	I_N	M2	0	0	I_N	0	M1	0	I_N	0	0	M0	I_N	0	0	0	$M0 = \bar{S2}\bar{S1}I_N$ $M1 = \bar{S2}S1I_N$ $M2 = S2\bar{S1}I_N$ $M3 = S2S1I_N$																																									
I_N	x	x	x	x																																																																										
S1	0	0	1	1																																																																										
S0	0	1	0	1																																																																										
M3	0	0	0	I_N																																																																										
M2	0	0	I_N	0																																																																										
M1	0	I_N	0	0																																																																										
M0	I_N	0	0	0																																																																										

10.BCD 加法器	Co	S3	S2	S1	S0
	0	0	0	0	0
	1	0	0	0	1
	2	0	0	0	1
	3	0	0	0	1
	4	0	0	1	0
	5	0	0	1	0
	6	0	0	1	1
	7	0	0	1	1
	8	0	1	0	0
	9	0	1	0	0
	A	0	1	0	1
	B	0	1	0	1
	C	0	1	1	0
	D	0	1	1	0
	E	0	1	1	1
	F	0	1	1	1
10	1	0	0	0	

S1S0	00	01	11	10
S3S2				
00				
01				
11	1	1	1	1
10			1	1

調整 $M=Co+S3S2+S3S1$

編號	功能	編號	功能
7400	四個 2 輸入反及閘 NAND, 7401 開集極, 7410 三個 3 輸入反及閘【TTL 浮接為高態】	4000	兩個 3 輸入反或閘 NOR, 一個反相器, 4025 三個 3 輸入【COMS 不可浮接】
7402	四個 2 輸入反或閘 NOR, 7403 開集極【不用的 NAND 腳接 hi, NOR 腳接 low】	4001	四個 2 輸入反或閘 NOR, 4002 兩個 4 輸入反或閘
7404	六個反相器 NOT, 7405 開集極, 7406 開集極耐壓 30V, 7407 開集極緩衝器耐壓 30V	4011	四個 2 輸入反及閘 NAND, 4012 兩個 4 輸入, 4023 三個 3 輸入
7408	四個 2 輸入及閘 AND, 7409 開集極, 7411 三個 3 輸入及閘, 7412 三個 3 輸入及開開集極	4013	兩個 D 型正反器
7442	BCD 至 10 進位解碼器 (輸出低態), 7445 開集極耐壓 30V	4017	十進位計數器 (十隻腳輸出高態)
7447	BCD 至七段解碼器, 開集極, 推動共陽七段顯示器, 7446, 74247 7447, 7448 中/RBI 為前導零遮沒輸入腳, 當 ABCD 為 0 且 LT 為 1 時, 若/RBI 為 0 則所有 LED 將不亮, 並且 BI/RBO 會降為低電位。/LT 為燈測試輸入, BI/RBO 為 1 而/LT 為 0, 所有 LED 均發亮, 正常使用/LT、/RBI、BI/RBO 均接至 +5V 電源或空接亦可。若為多位數, 最高/RBI 接地, BI/RBO 接到次-/RBI, 最低/RBI 空接	PLD	可規劃邏輯元件, PAL: 可規劃 AND 陣列、固定 OR 陣列, PLA: 可規劃 AND、OR 陣列, GAL: EEPROM 可規劃 AND 陣列, 輸出邏輯巨集晶包, CPLD: (Complex Programmable Logic Device) Product-Term PLD, FPGA: (Field Programmable Gate Array) Look-Up-Table PLD。CPLD 與 FPGA, 功能基本上相同, 構成原理不同。
7448	BCD 至七段解碼器, 推動共陰七段顯示器, 7449, 74248	4019	四組 2 對 1 多工器
7473	兩個 J-K 正反器, 7476 有設定和清除	4026	BCD 至七段解碼器, 推動共陰七段顯示器, 40110 上下數, 4511
7474	兩個 D 型正反器	4027	兩個 J-K 正反器
7490	BCD 計數器, 74160 可載入, 74168、74190 可載入上下數	4028	BCD 至 10 進位解碼器 (輸出高態)
7492	Mode 12 計數器	40147	10 對 4 BCD 編碼器
7493	Mode 16 計數器	40160	可載入 BCD 計數器, 40192 可載入上下數,
74138	3 對 8 解碼器 (輸出低態)	40161	可載入 Mode 16 計數器, 40193 可載入上下數, 4516 可載入上下數
21xx	SRAM EX.2114=1Kx4bit=2 ¹⁰ x4bit 位址線 10 條、資料線 4 條 (Static RAM: 靜態 RAM) (RAM: Random Access Memory)	40174	六個 D 型正反器, 40175 四個 D 型正反器
61xx	SRAM EX.6116=2Kx8bit=2 ¹¹ x8bit 位址線 11 條、資料線 8 條	40106	六個史密特反相器 NOT
27xx	EPROM EX.2732=4Kx8bit=2 ¹² x8bit 位址線 12 條、資料線 8 條 (Read Only Memory 可分為 Mask ROM, PROM, EPROM, EEPROM)	4049	反相, 提升 CMOS 推動能力 (推 TTL), 4050 緩衝器
41xx	DRAM EX.4116=16Kx1bit=2 ¹⁴ x1bit 位址線 7 條(2 維選址)、資料線 1 條(Dynamic RAM: 動態 RAM)	4018	可設定 Mode N 計數器
2SCxxxx	0: 光電晶體、光二極體, 1: 二極體, 2: 三極零件, 3: 四極零件 A: 高頻 pnp, B: 低頻 pnp, C: 高頻 npn, D: 低頻 npn F: SCR, G: PUT, H: UJT, J: PFET, K: NFET, M: TRIAC S: 半導體 (semiconductor)		

IC 編號功能表

IC 編號功能表

編號	功能		編號	功能	
7400	四個 2 輸入反及開 NAND, 7401 開集極, 7410 三個 3 輸入反及開【TTL 浮接為高態】		4000	兩個 3 輸入反或開 NOR, 一個反相器, 4025 三個 3 輸入【COMS 不可浮接】	
7402	四個 2 輸入反或開 NOR, 7403 開集極【不用的 NAND 腳接 hi, NOR 腳接 low】		4001	四個 2 輸入反或開 NOR, 4002 兩個 4 輸入反或開	
7404	六個反相器 NOT, 7405 開集極, 7406 開集極耐壓 30V, 7407 開集極緩衝器耐壓 30V		4011	四個 2 輸入反及開 NAND, 4012 兩個 4 輸入, 4023 三個 3 輸入	
7408	四個 2 輸入及開 AND, 7409 開集極, 7411 三個 3 輸入及開, 7412 三個 3 輸入及開開集極		4013	兩個 D 型正反器	
7442	BCD 至 10 進位解碼器 (輸出低態), 7445 開集極耐壓 30V		4017	十進位計數器 (十隻腳輸出高態)	
7447	BCD 至七段解碼器, 開集極, 推動共陽七段顯示器, 7446, 74247 7447, 7448 中/RBI 為前導零遮沒輸入腳, 當 ABCD 為 0 且 LT 為 1 時, 若/RBI 為 0 則所有 LED 將不亮, 並且 BI/RBO 會降為低電位。/LT 為燈測試輸入, BI/RBO 為 1 而/LT 為 0, 所有 LED 均發亮, 正常使用/LT、/RBI、BI/RBO 均接至 +5V 電源或空接亦可。若為多位數, 最高/RBI 接地, BI/RBO 接到次一/RBI, 最低/RBI 空接		4018	可設定 Mode N 計數器	
7448	BCD 至七段解碼器, 推動共陰七段顯示器, 7449, 74248		4019	四組 2 對 1 多工器	
7473	兩個 J-K 正反器, 7476 有設定和清除		4026	BCD 至七段解碼器, 推動共陰七段顯示器, 40110 上下數, 4511	
7474	兩個 D 型正反器		4027	兩個 J-K 正反器	
7490	BCD 計數器, 74160 可載入, 74168、74190 可載入上下數		4028	BCD 至 10 進位解碼器 (輸出高態)	
7492	Mode 12 計數器		40147	10 對 4 BCD 編碼器	
7493	Mode 16 計數器		40160	可載入 BCD 計數器, 40192 可載入上下數,	
74138	3 對 8 解碼器 (輸出低態)		40161	可載入 Mode 16 計數器, 40193 可載入上下數, 4516 可載入上下數	
74139	兩組 2 對 4 解碼器 (輸出低態), 74155		40174	六個 D 型正反器, 40175 四個 D 型正反器	
74147	10 對 4BCD	74164	8 位元串入並出移位暫存器	4501	四個 4 輸入反及開, 一個 2 輸入或開/反或開
74148	8 對 3 編碼器	74165	8 位元並入串出移位暫存器	4502	六個緩衝器
74150	16 對 1 多工器	74244	8 個 3 態匯流排緩衝器	4503	六個三態緩衝器
74148	16 對 1 多工器	74245	8 個 3 態匯流排雙向緩衝器	4504	六個 TTL 至 CMOS 界面
74153	兩組 4 對 1 多工器	74373	8 個 3 態 D 型門鎖	4514	4 對 16 解碼器 (輸出高態), 4515 輸出低態
74154	4 對 16 解碼器 (輸出低態), 74159 開集極		4532	8 對 3 編碼器	
74157	四組 2 對 1 多工器		4555	兩組 2 對 4 解碼器 (輸出高態), 4556 輸出低態	
LM309	穩壓 IC, +5V		40106	六個史密特反相器 NOT	
LM320	負輸出電壓之穩壓 IC		4049	反相, 提升 CMOS 推動能力 (推 TTL), 4050 緩衝器	
LM340	正輸出電壓之穩壓 IC		21xx	SRAM EX.2114=1Kx4bit=2 ¹⁰ x4bit 位址線 10 條、資料線 4 條 (Static RAM: 靜態 RAM) (RAM: Random Access Memory)	
78xx	正輸出電壓之穩壓 IC		61xx	SRAM EX.6116=2Kx8bit=2 ¹¹ x8bit 位址線 11 條、資料線 8 條	
79xx	負輸出電壓之穩壓 IC		27xx	EPROM EX.2732=4Kx8bit=2 ¹² x8bit 位址線 12 條、資料線 8 條 (Read Only Memory 可分為 Mask ROM, PROM, EPROM, EEPROM)	
AD590	二端子溫度感測 IC, 1μA/°K, -55°C~150°C, 4V~30V		41xx	DRAM EX.4116=16Kx1bit=2 ¹⁴ x1bit 位址線 7 條 (2 維選址)、資料線 1 條 (Dynamic RAM: 動態 RAM)	
PT50、100	電阻性溫度檢測器, 0°C 電阻 50Ω 稱為 PT50, 標準測定電流 2、5、10mA 較高溫度檢測		2SCxxxx	0: 光電晶體、光二極體, 1: 二極體, 2: 三極零件, 3: 四極零件 A: 高頻 pnp, B: 低頻 pnp, C: 高頻 npn, D: 低頻 npn F: SCR, G: PUT, H: UJT, J: PFET, K: NFET, M: TRIAC S: 半導體 (semiconductor)	
FT5754	四組 NPN 達靈頓, 且有飛輪二極體, 輸出承受最大電流 3A, 輸入需有 3mA, 12 隻腳				
PMM8713	步進馬達驅動控制 IC, 16 隻腳, 4~18V, 輸出最大電流 20mA		ULN2003	16 隻腳, 七組達靈頓對 IC, 2008 八組達靈頓對 IC, 18 隻腳	
ADC0804	20 隻腳, 8 位元逐次 (連續近似) 比較型 A/D 轉換器		555	8 隻腳, 定時器專用 IC (1972 Signetics 製造), 556 雙包裝 555	
DAC0800	16 隻腳, 8 位元電流輸出 D/A 轉換器		PLD	可規劃邏輯元件, PAL: 可規劃 AND 陣列、固定 OR 陣列, PLA: 可規劃 AND、OR 陣列, GAL: EEPROM 可規劃 AND 陣列, 輸出邏輯巨集晶包, CPLD: (Complex Programmable Logic Device) Product-Term PLD, FPGA: (Field Programmable Gate Array) Look-Up-Table PLD, CPLD 與 FPGA, 功能基本上相同, 構成原理不同。	
LC7385	DTMF 雙音複頻解碼 IC, 三洋			8251	28 隻腳, 串列式輸出入 IC, SIO (Series Input/Output)
CIC9204E	DTMF 雙音複頻解碼 IC, 電子工業研究所		8253	計時/計數器, CTC (Counter/Timer controller)	
uA741	運算放大器, u: 廠家代號 (F.C. 飛捷) A: 線性 (類比) H: 封裝 C: 溫度範圍		8255	40 隻腳, 並列式輸出入 IC, PIO (Parallel Input/Output)	